

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2004-221646

(43)Date of publication of application : 05.08.2004

(51)Int.Cl.

H03F 1/07

(21)Application number : 2003-003137

(71)Applicant : NEC CORP
NEC ENGINEERING LTD

(22)Date of filing : 09.01.2003

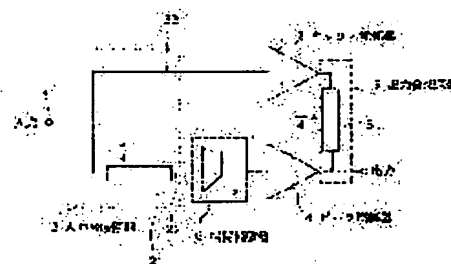
(72)Inventor : SHIKUMA KAZUMI
MIZOGUCHI JUNICHI

(54) DOHERTY AMPLIFIER

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a Doherty amplifier in a simple configuration capable of obtaining linear amplification and a power combining operation nearly ideal by providing a gain compensation unit whose gain is changed in response to the level of a signal inputted to a pre-stage of a peak amplifier even when the same device is used for a carrier amplifier and the peak amplifier.

SOLUTION: The Doherty amplifier includes: an input terminal; an input branch means for distributing a signal received from the input terminal to a first and a second paths; the carrier amplifier for amplifying the signal distributed to the first path by the input branch means; the peak amplifier 4 for amplifying only the signals of a prescribed level or over among the signals distributed to the second path by the input branch means; an output combining means for combining the output of the carrier amplifier with the output of the peak amplifier; and the gain compensation unit 6 provided to the pre-stage of the peak amplifier in the second path and changing the gain in response to the level of the received signal to correct the level of the distributed signals.



LEGAL STATUS

[Date of request for examination]

15.11.2005

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-221646

(P2004-221646A)

(43) 公開日 平成16年8月5日(2004.8.5)

(51) Int.Cl.⁷
H03F 1/07

F I
H03F 1/07

テーマコード(参考)
5J092
5J500

審査請求 未請求 請求項の数 7 O L (全 14 頁)

(21) 出願番号 特願2003-3137 (P2003-3137)
(22) 出願日 平成15年1月9日(2003.1.9)

(71) 出願人 000004237
日本電気株式会社
東京都港区芝五丁目7番1号
(71) 出願人 303013763
日本電気エンジニアリング株式会社
東京都港区芝浦三丁目18番21号
(74) 代理人 100123788
弁理士 宮崎 昭夫
(74) 代理人 100088328
弁理士 金田 暢之
(74) 代理人 100106297
弁理士 伊藤 克博
(74) 代理人 100106138
弁理士 石橋 政幸

最終頁に続く

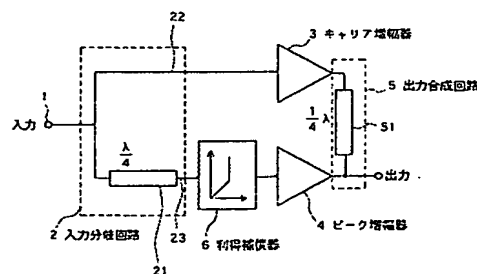
(54) 【発明の名称】 ドハーティ増幅器

(57) 【要約】

【課題】 ピーク増幅器の前段に入力される信号のレベルに応じて利得が変化する利得補償器を設けることにより、同一のデバイスをキャリア増幅器およびピーク増幅器として用いた場合でも、簡単な構成でより理想に近い線形増幅、電力合成動作が得られるドハーティ増幅器を提供可能とする。

【解決手段】 ドハーティ増幅器に含まれるピーク増幅器4の前段にアンチパラレルダイオードと抵抗の並列回路で構成される利得補償器6を設け、ピーク増幅器4が動作している際の利得補償器6の利得をピーク増幅器4の g_m 特性に基づいて設定することにより、ピーク増幅器4の動作特性を補償する。よって、簡単な構成で理想に近い線形増幅、電力合成動作が得られるドハーティ増幅器を提供可能となる。

【選択図】 図1



【特許請求の範囲】

【請求項1】

入力端子と、

前記入力端子から入力された信号を第1の経路と第2の経路に分配する入力分岐手段と、
前記入力分岐手段により前記第1の経路に分配された信号を増幅するキャリア増幅器と、
前記入力分岐手段により前記第2の経路に分配された信号の中で所定レベル以上の信号のみを増幅するピーク増幅器と、
前記キャリア増幅器の出力と前記ピーク増幅器の出力とを合成する出力合成手段と、
前記第2の経路の前記ピーク増幅器の前段に設けられ、入力される信号のレベルに応じて利得が変化して前記第2の経路に分配された信号のレベルを補正する利得補償器と、
を有することを特徴とするドハーティ増幅器。

【請求項2】

請求項1に記載のドハーティ増幅器において、

前記利得補償器は、前記所定レベル未満の信号が入力した場合の利得と、前記所定レベル以上の信号が入力した場合の利得とが異なることを特徴とする。

【請求項3】

請求項2に記載のドハーティ増幅器において、

前記利得補償器は、前記所定レベル以上の信号が入力した場合の利得が前記所定レベル未満の信号が入力した場合の利得より大きいことを特徴とするドハーティ増幅器。

【請求項4】

請求項2に記載のドハーティ増幅器において、

前記利得補償器は、前記所定レベル以上の信号が入力した場合の利得が前記所定レベル未満の信号が入力した場合の利得より小さいことを特徴とするドハーティ増幅器。

【請求項5】

請求項1ないし4のいずれか1つに記載のドハーティ増幅器において、

前記利得補償器の利得は、前記ピーク増幅器の動作特性に基づいて設定されていることを特徴とするドハーティ増幅器。

【請求項6】

請求項1ないし5のいずれか1つに記載のドハーティ増幅器において、

前記利得補償器は、アンチパラレルダイオードと抵抗の並列回路、またはダイオードと抵抗の並列回路、またはFET、またはバイポーラトランジスタであることを特徴とするドハーティ増幅器。

【請求項7】

請求項1ないし6のいずれか1つに記載のドハーティ増幅器において、

前記キャリア増幅器と前記ピーク増幅器はFETで構成され、前記利得補償器は前記ピーク増幅器の g_m 特性を補償することを特徴とするドハーティ増幅器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、ドハーティ増幅器に関し、特にはピーク増幅器の前段に利得補償器を設けたドハーティ増幅器に関する。

【0002】

【従来の技術】

近年の携帯端末市場の爆発的な普及とそれに伴うインフラ整備により、基地局用の送信増幅器に対する効率改善に関する市場からの要求は厳しくなっている。

【0003】

上記のような要求に応じるために、近年ドハーティ増幅器を始めとする高効率で信号を増幅する手法と、その低歪み化や最近の歪み補償技術を組み合わせることで高性能、高効率な増幅器を構築しようという点に注目が集まってきている。

【0004】

ドハーティ増幅器は、非特許文献1（1936年のW. H. Doherty "A New High Efficiency Power Amplifier for Modulated Waves", Proc. IRE, Vol. 24, No. 9, Sept.）で最初に提案された高出力電力増幅器の効率を改善する手法である。

【0005】

ドハーティ増幅器は、常に増幅動作を行うキャリア増幅器と、高電力出力時、具体的にはキャリア増幅器が飽和最大出力に到達した以降でのみ増幅動作を行うピーク増幅器を備えるものである。

【0006】

ドハーティ増幅器は、キャリア増幅器とピーク増幅器を同一の特性を有するデバイスにし、かつこれらを2台から複数台並列に配置した構成が一般的であり、実際に低周波からミリ波にわたる周波数帯の信号を扱う増幅器として数多く実現されてきている。

【0007】

従来、このようなドハーティ増幅器として、例えば特許文献1（特開平7-22852号公報）に記載された図9に示す構成のドハーティ増幅器がある。以下、図9を参照して特許文献1に記載のドハーティ増幅器を簡単に説明する。

【0008】

図9において、入力端子1から入力された信号は、 $1/4$ 波長の伝送経路21を含む入力分岐回路2によりキャリア増幅器側とピーク増幅器側に分配される。キャリア増幅器側に分配された信号はキャリア増幅器3により増幅され、ピーク増幅器側に分配された信号は $1/4$ 波長の伝送経路21を通過した後、ピーク増幅器4により増幅される。

【0009】

出力合成回路5は $1/4$ 波長の伝送経路51を含み、 $1/4$ 波長の伝送経路51を通過したキャリア増幅器3の出力とピーク増幅器4の出力とを結合して出力する。よって、キャリア増幅器3とピーク増幅器4の出力信号の位相関係は、出力合成回路5での信号合成点で同相となる。

【0010】

しかしながら、ドハーティ増幅器を構成するキャリア増幅器3またはピーク増幅器4の増幅動作が理想的な動作と異なる場合、出力合成回路5での信号合成が有効に行われなため、理想的な線形増幅作用や飽和出力電力が得られなくなってしまう。

【0011】

上記のような問題が生じる一例としては、ドハーティ増幅器を構成するキャリア増幅器とピーク増幅器とに同等特性（例えば、 $gm-Id$ 特性）のデバイスを用いた場合（クラシカルドハーティ）がある。この場合には、特にピーク増幅器の動作が理想的な動作と異なってしまうという問題が生じる。具体的な一例としては、ピーク増幅器の利得が理想的な利得よりも小さくなってしまいう問題が生じてしまう。

【0012】

したがって、使用するデバイス（FET等）の gm （伝達コンダクタンス）特性が、キャリア増幅器とピーク増幅器とで同一の場合でも、そのままでは理想的な線形増幅作用や飽和出力電力が得られなくなる。

【0013】

この問題に対しては、いくつかの改善手法が提案されている。

【0014】

例えば、非特許文献2（Steve C. Cripps 著 RF Power Amplifiers for Wireless communications, Artech House 1999 のp236）では、ピーク増幅器の入力に可変減衰器を備え、入力レベルの大小に応じて減衰量を制御して、伝達特性を補償する手段を提案している。

【0015】

また、非特許文献3（Steve C. Cripps 著 Advanced Techni

ques in RF Power Amplifiers, Artech House 2002 p50)では、具体的なブロック図等はみあたらないが、キャリア増幅器のバイアス設定を、入力信号レベルによって、C級バイアスだったものをB級バイアスにまで適応制御し、ドハーティ増幅器として最大電力を得る方法を提案している。

【0016】

また、特許文献2(特表2000-513535号公報)では、入力信号の電力レベルや信号の大きさを直接的または間接的に検出器で検出し、検出した値に基づきキャリア増幅器のバイアス制御部とピーク増幅器のバイアス制御部がキャリア増幅器とピーク増幅器のバイアスを制御する手法を提案している。

【0017】

【非特許文献1】

1936年のW. H. Doherty "A New High Efficiency Power Amplifier for Modulated Waves", Proc. IRE, Vol. 24, No. 9, Sept.

【非特許文献2】

Steve C. Cripps 著 RF Power Amplifiers for Wireless communications, Artech House 1999 のp236

【非特許文献3】

Steve C. Cripps 著 Advanced Techniques in RF Power Amplifiers, Artech House 2002 p50

【特許文献1】

特開平7-22852号公報

【特許文献2】

特表2000-513535号公報

【0018】

【発明が解決しようとする課題】

しかしながら、非特許文献2や非特許文献3や特許文献2の手法では、いずれにしても検波、判定および制御などを行う回路が必要となり、構成が複雑になるという問題が生じる。

【0019】

本発明の目的は、例えば同一のデバイスをキャリア増幅器およびピーク増幅器として用いた場合でも、簡単な構成でより理想に近い線形増幅、電力合成動作が得られるドハーティ増幅器を提供することにある。

【0020】

【課題を解決するための手段】

上記目的を達成するため、本発明のドハーティ増幅器は、入力端子と、前記入力端子から入力された信号を第1の経路と第2の経路に分配する入力分岐手段と、前記入力分岐手段により前記第1の経路に分配された信号を増幅するキャリア増幅器と、前記入力分岐手段により前記第2の経路に分配された信号の中で所定レベル以上の信号のみを増幅するピーク増幅器と、前記キャリア増幅器の出力と前記ピーク増幅器の出力とを合成する出力合成手段と、前記第2の経路の前記ピーク増幅器の前段に設けられ、入力される信号のレベルに応じて利得が変化して分配された信号のレベルを補正する利得補償器とを有することを特徴とする。

【0021】

上記の発明によれば、第2の経路のピーク増幅器の前段に設けられ、入力される信号のレベルに応じて利得が変化して第2の経路に分配された信号のレベルを補正する利得補償器を含む構成なので、利得補償器の利得変化動作によりピーク増幅器の利得を補償可能となる。よって、従来必要であった検波、判定および制御などを行う回路を不要にでき、簡単な構成でより理想に近い線形増幅、電力合成動作が可能となる。また、従来必要であった

制御回路を不要にできるので、制御用の専用の制御信号や制御信号用の専用の端子も不要にできる。

【0022】

また、本発明のドハーティ増幅器は、上記の発明において、前記利得補償器が、前記所定レベル未満の信号が入力した場合の利得と、前記所定レベル以上の信号が入力した場合の利得とが異なることを特徴とする。

【0023】

上記の発明によれば、所定レベル未満の信号が入力した場合の利得と所定レベル以上の信号が入力した場合の利得とが異なる利得補償器としたので、上記の効果に加えて、入力端子から入力された信号に対するピーク増幅器の増幅動作開始ポイントを変更することなく、ピーク増幅器が増幅動作を行う際のピーク増幅器の利得を補償可能となる。

【0024】

また、本発明のドハーティ増幅器は、上記の発明において、前記利得補償器を、前記所定レベル以上の信号が入力した場合の利得が前記所定レベル未満の信号が入力した場合の利得より大きい構成としている。

【0025】

上記の発明によれば、上記の効果に加えて、入力端子から入力された信号に対するピーク増幅器の増幅動作開始ポイントを変更することなく、ピーク増幅器が増幅動作を行う際のピーク増幅器の利得を向上可能となる。よって、ピーク増幅器の利得が理想的な利得よりも低い場合に、ピーク増幅器の増幅動作開始ポイントを変更することなく、ピーク増幅器が増幅動作を行う際のピーク増幅器の利得を補償可能となる。

【0026】

また、本発明のドハーティ増幅器は、上記の発明において、前記利得補償器を、前記所定レベル以上の信号が入力した場合の利得が前記所定レベル未満の信号が入力した場合の利得より小さい構成としている。

【0027】

上記の発明によれば、上記の効果に加えて、入力端子から入力された信号に対するピーク増幅器の増幅動作開始ポイントを変更することなく、ピーク増幅器が増幅動作を行う際のピーク増幅器の利得を小さくできる。よって、ピーク増幅器の利得が理想的な利得よりも大きい場合に、ピーク増幅器の増幅動作開始ポイントを変更することなく、ピーク増幅器が増幅動作を行う際のピーク増幅器の利得を補償可能となる。

【0028】

また、本発明のドハーティ増幅器は、上記の発明において、前記利得補償器の利得が、前記ピーク増幅器の動作特性に基づいて設定されているので、上記の効果に加えて、ピーク増幅器の利得を高い精度で補償可能となる。

【0029】

また、本発明のドハーティ増幅器は、上記の発明において、前記利得補償器が、アンチパラレルダイオードと抵抗の並列回路、またはダイオードと抵抗の並列回路、またはFET、またはバイポーラトランジスタである構成としているので、上記の効果に加えて、簡単な構成の利得補償器を実現可能となる。

【0030】

また、本発明のドハーティ増幅器は、上記の発明において、前記キャリア増幅器と前記ピーク増幅器がFETで構成され、前記利得補償器は前記ピーク増幅器の g_m 特性を補償する構成としている。

【0031】

上記の発明によれば、キャリア増幅器とピーク増幅器をFETで構成した場合にも上記の効果と同様の効果が得られる。

【0032】

【発明の実施の形態】

以下、本発明の実施の形態を図面に示す一実施例に基づき説明する。

【0033】

本実施例は、図1に示すように、キャリア増幅器3とピーク増幅器4を含むドハーティ増幅器において、ピーク増幅器4の前段に利得補償器6を有していることを1つの特徴としている。図1において、補正手段としての利得補償器6は、利得が入力レベルに応じて変化するものである。なお、図1において、図9と同一構成のものには同一符号を附してある。

【0034】

ここで、本発明の一実施例の概要を説明する。

【0035】

本実施例のドハーティ増幅器は、図9に示す従来のキャリア増幅器3、ピーク増幅器4、出力合成回路5および入力分岐回路2を備えた構成に対し、図1に示したように、ピーク増幅器4の前段に利得が入力レベルによって変化する利得補償器6を設けている。

【0036】

本実施例においては、利得補償器6は、入力する信号のレベルが、例えばC級にバイアスされてFETで構成されたピーク増幅器4の増幅開始レベル以上の場合に、ピーク増幅器4へのゲート入力電圧信号を拡大するような補正を行う。

【0037】

上記のような利得補償器6を用いることにより、ピーク増幅器4とキャリア増幅器3として同一特性のデバイスを使用したドハーティ増幅器においても、飽和出力時に所望の最大出力が得られるような動作を可能としている。したがって、ドハーティ増幅器として、理想的な増幅動作が得られることを可能にしている。

【0038】

以下、図1を参照して本実施例のドハーティ増幅器を具体的に説明する。

【0039】

本ドハーティ増幅器は、通常、キャリア増幅器と呼ばれている常に信号の増幅動作を行っている増幅器3と、通常ピーク増幅器あるいは補助増幅器（本願では「ピーク増幅器」で統一する。）と呼ばれる、所定レベル以上の信号が入力したときのみ（高電力出力時のみ）に動作している増幅器4とを有している。

【0040】

なお、所定レベルは、キャリア増幅器3が飽和出力電力を出力し始める際に入力端子1から入力される信号のレベルに対応するものであり、本実施例では所定レベルを、キャリア増幅器3が飽和出力電力を出力し始める際に、入力端子1から入力される信号のレベルとしている。

【0041】

ピーク増幅器4の前段には、ピーク増幅器4の伝達特性（動作特性）に応じてピーク増幅器4の振幅成分を補償するための利得補償器6が設けてある。

【0042】

さらに、本ドハーティ増幅器は、キャリア増幅器3とピーク増幅器4の出力を合成して出力する出力合成手段としての出力合成回路5と、入力信号をキャリア増幅器側（第1の経路）22とピーク増幅器側（第2の経路）23に分配する入力分岐手段としての入力分岐回路2とを含んでいる。

【0043】

一般にドハーティ増幅器は、飽和出力電力近傍で飽和を維持しながら動作するキャリア増幅器3を有することにより、飽和電力からバックオフをとった出力時においても、通常のA級、AB級増幅器より高い効率が実現されている。

【0044】

キャリア増幅器3には、通常AB級やB級にバイアスされた増幅器が用いられることが多い。ピーク増幅器4は、信号電力が高出力時にのみ動作するよう、通常はC級にバイアスされて使用されていることが多い。

【0045】

キャリア増幅器3とピーク増幅器4の出力を結合する出力合成回路5は、例えばトランスで構成されており、通常 $1/4$ 波長の伝送線路51を備える。入力分岐回路2は、ピーク増幅器4とキャリア増幅器3の出力信号の位相関係を、出力合成回路5の信号合成点で同相にするための $1/4$ 波長の伝送線路21や、あるいは 90° ハイブリッド回路などから構成される。

【0046】

また、図1の利得補償器6は、例えば図2(a)に示したアンチパラレルダイオード61と抵抗器62から構成されている。具体的には、利得補償器6として、カソードが入力分岐回路2の入力分岐回路2の $1/4$ 波長の伝送線路21と接続されるとともにアノードがピーク増幅器4の入力側に接続されるダイオード61aとカソードがダイオード61aのアノードと接続されるとともにアノードがダイオード61aのカソードと接続されたダイオード61bとで構成されたアンチパラレルダイオード61と、抵抗器62との並列回路が用いられてもよい。

【0047】

なお、通常のドハーティ増幅器の動作原理については、たとえば Steve C. Cripps 著 Advanced Techniques in RF Power Amplifiers, Artech House 2002などの文献により当業者にとってよく知られているので、その詳細な説明は省略する。

【0048】

以下、本実施例の動作につき説明する。

【0049】

本実施例では、説明を簡単にするために、B級バイアスされたキャリア増幅器3とC級バイアスされたピーク増幅器4を用い、さらにキャリア増幅器3とピーク増幅器4として同一特性のFETデバイスを用いてドハーティ増幅器を構成した場合の動作について説明する。なお、本発明は、上記の構成に限るものではなく、適宜変更可能である。

【0050】

まず、ドハーティ増幅器の理想的な動作中における各増幅器3、4の動作状態を、図3を用いて説明する。

【0051】

ドハーティ増幅器は大きく3つの動作領域、すなわち低レベル領域、遷移領域、飽和領域に分けられる。

【0052】

図3には、キャリア増幅器3、ピーク増幅器4のそれぞれに印加される入力電圧の最大値を1として規格化した入力電圧 V_{in} を横軸にとり、それぞれに対応するピーク増幅器4のドレイン電流を I_p 、キャリア増幅器3の出力電圧を V_c 、キャリア増幅器3のドレイン電流を I_c とし、それぞれ縦軸に示してある。

【0053】

本実施例では、キャリア増幅器3とピーク増幅器4として同一特性のFETを用いると仮定しているため、 I_c の最大値と I_p の最大値は等しく図示される。また、ピーク増幅器4はC級にバイアスされ、通常のドハーティ増幅器の構成である入力電圧 V_{in} が0.5からドレイン電流が流れ始めて増幅動作を開始するものとする。

【0054】

また、各デバイス、すなわちキャリア増幅器3とピーク増幅器4のドレイン電流-ゲート電圧特性としては、図4に示すようにスレショルド電圧 V_{th} からドレイン電流が流れ始め、伝達コンダクタンス g_m は一定値であるものとする。

【0055】

B級バイアスされたキャリア増幅器3に所定レベル(本例では $V_{in}=0.5$ とする。)以下の信号 V_{in} が入力されると、信号 V_{in} に比例したキャリア増幅器3の出力電圧 V_c が発生する。このように、信号 V_{in} に応じてキャリア増幅器3の出力電圧 V_c が変化する領域が低レベル領域である。

【0056】

次に、信号 V_{in} が 0.5 に達すると（これを「遷移点」と呼ぶことにする。）、キャリア増幅器 3 は飽和し、出力電圧は一定値となる。この時点でドハーティ増幅器自体の効率も最大となり、理想的には B 級増幅器の理想効率である 78% ($\pi/4$) に達する。ただし、このときのキャリア増幅器 3 の飽和出力電力は、ドハーティ増幅器として得られるべき飽和電力の $1/4$ である。

【0057】

この遷移点から V_{in} が増加するとピーク増幅器 4 も動作を開始する。

【0058】

このピーク増幅器 4 の動作により、出力合成回路 5 の伝送トランス 51 を介してキャリア増幅器 3 の負荷インピーダンスが変調する。その結果、キャリア増幅器 3 の出力電流は入力電圧に対して線形に増加しつづけ、負荷により大きな電力を供給することとなり、結果的にドハーティ増幅器として線形な増幅特性が維持され、所望の出力電力を線形増幅することができる。

【0059】

入力電圧がさらに大きくなると、ピーク増幅器 4 も飽和に達し、ドハーティ増幅器としての飽和最大出力に達する。この遷移点から飽和点までの間、ドハーティ増幅器の総合効率は極めて高く維持されている。

【0060】

上述した動作がドハーティ増幅器の理想的な動作の一例である。

【0061】

このとき、ピーク増幅器 4 側のドレイン電流は、遷移点からの入力電圧に比例して、キャリア増幅器 3 のドレイン電流増加分の倍の傾きで増加する必要がある。これは、最終的に入力電圧が最大となった時点 ($V_{in} = 1.0$) で、キャリア増幅器 3 とピーク増幅器 4 のドレイン電流 (I_c と I_p) が最大 ($I_c = I_p = 1.0$) となり、キャリア増幅器 3 から見た負荷インピーダンスも最大出力を負荷に伝達できる最適な状態が達成され、ドハーティ増幅器として最大出力が得られるからである。

【0062】

次に、実際のドハーティ増幅器の動作を説明する。

【0063】

実際のドハーティ増幅器を構成する場合を考えると、キャリア増幅器 3、ピーク増幅器 4 にはほぼ同じような特性を有するデバイスが用いられることが多い。これは、クラシカルドハーティと呼ばれる構成である。

【0064】

例えば、ドハーティ増幅器の飽和電力を 100W にしたいという場合には、キャリア増幅器、ピーク増幅器は各々 50W 飽和電力の同一のデバイスを選択するのが一般的である。もちろん、これにとらわれず、飽和電力の異なるデバイスを選択する、拡張型ドハーティと呼ばれる構成を選択することもあるが、基本的な原理が変わることはないのでその場合の説明等は省略する。

【0065】

しかしながら、上述のようにキャリア増幅器とピーク増幅器とに同一特性のデバイスを用いてドハーティ増幅器を構成した場合には、同一特性のキャリア増幅器とピーク増幅器を、従来技術として図 9 に示したようにただ組み合わせただけでは、上述したようにドハーティ増幅器の理想的な特性が得られず、飽和電力付近での効率低下や飽和電力の低下、線形性の劣化が生じてしまう。

【0066】

図 5 は、実際のドハーティ増幅器で生じる上記劣化の一例を示した図であり、図 3 に示した理想的な状態と同様な主要なパラメータの入出力特性を図示してある。

【0067】

上述したように、理想状態では、ピーク増幅器 4 の最大電流値は入力電圧が最大の点で最

大値となっている必要がある。それに対して、図5に示した例では、実際には伝達コンダクタンス g_m が、理想的な値として必要な値の半分しかないため、入力電圧が最大になってもドレイン電流は半分の値にしか達していない。

【0068】

このため、ドハート増幅器として理想的な動作ができていない。簡単な計算によれば、最大入力時のドレイン効率も理想状態の78%に対して約20%低下の58.9%、出力は理想状態の50%に低下、入出力の線形性は入力1に対して出力0.5に劣化することが示される。

【0069】

そこで、本発明においては、ピーク増幅器4の前段に、図2に一例を示したような利得を入力信号の大きさに応じて変化させる利得補償器を設けることにより、理想的に動作するドハート増幅器を可能としており、例えばキャリア増幅器3、ピーク増幅器4として同一特性を有するデバイスを用いた場合においても、理想的なドハート増幅器として動作することを可能としている。

【0070】

この実施例の場合には、具体的には、図2(b)に示した利得補償器6の特性を、図6に示すように信号 V_{in} が0.5以上の場合に入力信号の増加1に対して出力信号がほぼ2倍増加するようにすればよい。

【0071】

上記のような特性は、図2(a)に示したような回路例で、ダイオード61a、61bと周辺の抵抗62として最適な値のものを選択することにより、近似的に所望特性の実現が可能である。例えば、抵抗の値を大きく選べば入出力特性は大きな出力範囲特性を示すようになり、逆に抵抗の値を小さく選べば出力範囲特性は小さくなる。

【0072】

よって、この出力範囲特性の傾きがほぼ2となる領域を利用して、この利得補償器6をピーク増幅器4の前段に備え、利得補償器6の上記出力範囲開始点が、本例でC級増幅器を採用しているピーク増幅器4のスレショルド電圧 ($V_{in} = 0.5$) 付近またはピーク増幅器4のスレショルド電圧 ($V_{in} = 0.5$) になるように、利得補償器6への入力レベルや動作状態を設定することにより、ピーク増幅器4の g_m 特性を、見かけ上、倍となるようにすることができる。

【0073】

つまり、ピーク増幅器4は入力レベルが最大値となる点でドレイン電流も最大となり、遷移点から飽和状態までのドハート増幅器としての理想的な状態が達成されることが可能となる。よって、例えば同一のデバイスをキャリア増幅器、ピーク増幅器に用いた場合でも、簡単な構成でより理想に近い線形増幅、電力合成動作が得られるドハート増幅器を実現可能となる。

【0074】

さらに説明すると、本例の場合、入力端子1に入力する信号のレベルがピーク増幅器4のスレショルド電圧以下の場合、利得補償器6の利得すなわち利得補償器6の入出力特性の傾きが1またはほぼ1となり、入力端子1に入力する信号のレベルがピーク増幅器4のスレショルド電圧を越える場合、利得補償器6の利得すなわち利得補償器6の入出力特性の傾きが2またはほぼ2となるように、利得補償器6への入力レベルや動作状態を設定することにより、ピーク増幅器4を理想的な状態で動作可能にできる。

【0075】

上記のように、入力される信号のレベルに応じて利得が変化する利得補償器6がピーク増幅器4の前段に設けてあるので、利得補償器6の利得変化動作によりピーク増幅器の動作時の利得を補償可能となるとともにピーク増幅器を動作させる必要の無い状態（入力端子1に入力する信号のレベルが所定レベルに満たない状態）のときにピーク増幅器4が動作してしまうことを回避可能となる。

【0076】

この点を補足すると、例えば、利得補償器6の利得がピーク増幅器の動作時の利得を補償する利得に固定されていると、本来ピーク増幅器が動作してはならない状態（入力端子1に inputs する信号のレベルが所定レベルに満たない状態）のときでもピーク増幅器が動作してしまう可能性が生じてしまう。

【0077】

これに対して、本実施例は、入力される信号のレベルに応じて利得が変化する利得補償器6がピーク増幅器4の前段に設けてあるので、本来ピーク増幅器が動作してはならない状態（入力端子1に inputs する信号のレベルが所定レベルに満たない状態）のときは、利得補償器6の出力が所定レベルに満たない状態となる利得となり、入力端子1に inputs する信号のレベルが所定レベル以上のときは、ピーク増幅器の動作時の利得を補償する利得となるようにすることが可能となる。よって、上述したように簡単な構成でより理想に近い線形増幅、電力合成動作が可能となる。

【0078】

また、所定レベル未満の信号が入力端子1から入力した場合の利得補償器6の利得と、所定レベル以上の信号が入力した場合の利得補償器6の利得とが異なるように設定することにより、入力端子1から入力された信号に対するピーク増幅器4の増幅動作開始ポイント（ピーク増幅器4のスレッシュホールド電圧）を変更することなく、上述したように簡単な構成でより理想に近い線形増幅、電力合成動作を行うことができる。

【0079】

また、所定レベル以上の信号が入力した場合の利得補償器6の利得が所定レベル未満の信号が入力した場合の利得補償器6の利得より大きい構成とすれば、ピーク増幅器4の利得が理想状態の値より下回っている場合に、入力端子から入力された信号に対するピーク増幅器の増幅動作開始ポイントを変更することなく、ピーク増幅器が増幅動作を行う際のピーク増幅器の利得を理想状態の利得へ向上可能となる。

【0080】

また、利得補償器6の利得が、ピーク増幅器6の動作特性に基づいて設定されているので、上記の効果に加えて、ピーク増幅器6の利得および／またはピーク増幅器6の増幅動作開始ポイント（本例のスレッシュホールド電圧）を高い精度で補償可能となる。

【0081】

なお、上記では、ピーク増幅器4の伝達コンダクタンス g_m が、理想的な値として必要な値の半分しかない場合の例を示し、信号 V_{in} が0.5以上の場合に利得補償器6の利得補償を利得補償器6の入出力特性の傾きが2またはほぼ2とするような例を示したが、信号 V_{in} が0.5以上の場合における利得補償器6の利得補償は、ピーク増幅器4の伝達コンダクタンス g_m が理想的な値に対してどれほどの割合になっているかによって適宜変更可能である。

【0082】

例えば、ピーク増幅器4の伝達コンダクタンス g_m が、理想的な値として必要な値よりも大きくなる場合、信号 V_{in} が0.5未満の場合に利得補償器6の利得補償を利得補償器6の入出力特性の傾きが1またはほぼ1とし、信号 V_{in} が0.5以上の場合に利得補償器6の利得補償を利得補償器6の入出力特性の傾きが1未満としてもよい。

【0083】

上記のように、利得補償器6を、所定レベル以上の信号が入力した場合の利得が所定レベル未満の信号が入力した場合の利得より小さい構成とすれば、入力端子から入力された信号に対するピーク増幅器の増幅動作開始ポイントを変更することなく、ピーク増幅器が増幅動作を行う際のピーク増幅器の利得を小さくできる。よって、ピーク増幅器の利得が理想的な利得よりも大きい場合に、ピーク増幅器の増幅動作開始ポイントを変更することなく、ピーク増幅器が増幅動作を行う際のピーク増幅器の利得を補償可能となる。

【0084】

また、利得補償器6については、図2(a)に示した構成に限られるものではなく適宜変更可能である。例えば、利得補償器6としては、上述したような特性を有する図8に示す

ような簡単な回路でも実現できる。

【0085】

図8を簡単に説明すると、図8(a)は、利得補償器6としてダイオード63と抵抗64の並列回路を用いた例であり、ダイオード63のカソードが入力分岐回路2の1/4波長の伝送線路21と接続され、ダイオード63のアノードがピーク増幅器4の入力側に接続される。図8(b)は、利得補償器6としてFET65を用いた例であり、FET65のドレインが第2の経路23に接続され、FETのソースが接地されている。図8(c)は、利得補償器6としてバイポーラトランジスタ66を用いた例であり、バイポーラトランジスタ66のコレクタが第2の経路23に接続され、バイポーラトランジスタ66のエミッタが接地され、バイポーラトランジスタ66のベースには所望の電圧 V_B が印加される。

【0086】

また、ピーク増幅器4とキャリア増幅器3に使用するデバイスの飽和電流特性に差がある場合に、本発明の考え方を拡張することも容易である。例えば、電源電圧や、飽和電流特性が異なるデバイスをピーク増幅器4とキャリア増幅器3に用いた場合にも、基本的には上述したように入出力特性を最大値で規格化して考えればほとんど同じ議論ができる。具体的な例をあげれば、図7に示したように、ピーク増幅器の、C級バイアス点から所望の飽和出力電力が得られる動作電流値までの傾き、特に、ピーク増幅器の増幅動作開始ポイント(例えばスレッショルド電圧)から所望の飽和出力電力が得られる動作電流値までの傾き、例えばgm特性を、利得補償器で所望の値だけ補正すればよい。

【0087】

したがって、キャリア増幅器3とピーク増幅器4として互いに異なる特性を有するデバイスを用いたとしても、簡単な構成で理想に近い線形増幅、電力合成動作が得るドハーティ増幅器を構成することが可能となる。

【0088】

以上説明した実施形態において、図示した構成は単なる一例であって、本発明はその構成に限定されるものではない。

【0089】

【発明の効果】

本発明は、ドハーティ増幅器のピーク増幅器の前段に、入力される信号のレベルに応じて利得が変化する利得補償器を設けてあるので、従来技術のように検波、判定および制御などを行う複雑な回路構成や制御を必要とせずに理想的な増幅動作を行うことが可能となる。よって、例えば、同一のデバイスをキャリア増幅器およびピーク増幅器として用いた場合でも、構成の簡略化が図れ、また低コスト化が実現可能となる。

【図面の簡単な説明】

【図1】本発明の一実施例を示したブロック回路図。

【図2】図1の要部を示した回路図。

【図3】ドハーティ増幅器の理想的な動作状態を示した説明図。

【図4】図1のキャリア増幅器とピーク増幅器のドレイン電流ーゲート電圧特性を示した特性図。

【図5】従来のドハーティ増幅器の動作状態を示した説明図。

【図6】図2(a)の利得補償器の特性を示した特性図。

【図7】本例の利得補償器の補償の一例を示した説明図。

【図8】利得補償器の他の例を示した回路図。

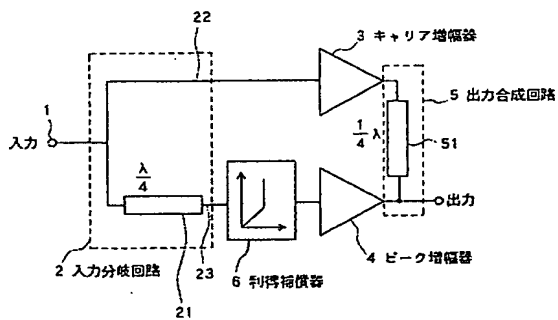
【図9】従来のドハーティ増幅器を示したブロック図。

【符号の説明】

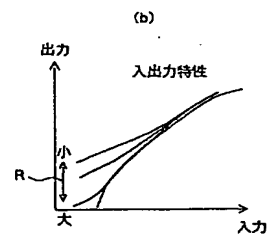
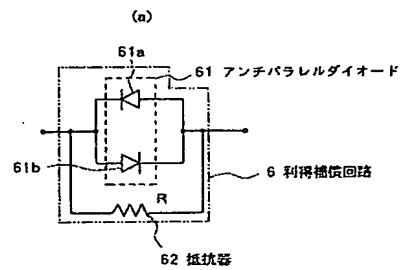
- 1 入力端子
- 2 入力分岐手段(入力分岐回路)
- 3 キャリア増幅器
- 4 ピーク増幅器

- 5 出力合成手段（出力合成回路）
- 6 補正手段、利得補償器
- 6 1 アンチパラレルダイオード
- 6 2 抵抗
- 6 3 ダイオード
- 6 4 抵抗
- 6 5 FET
- 6 6 バイポーラトランジスタ

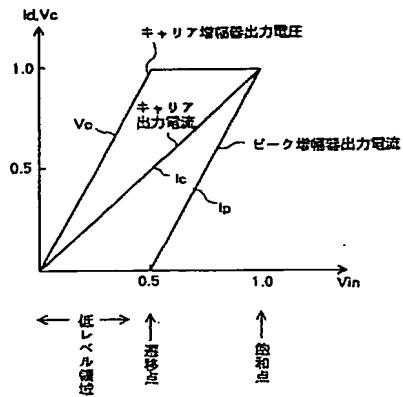
【図 1】



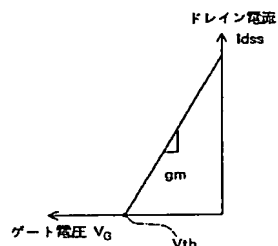
【図 2】



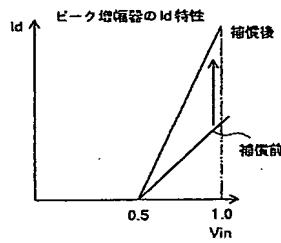
【図3】



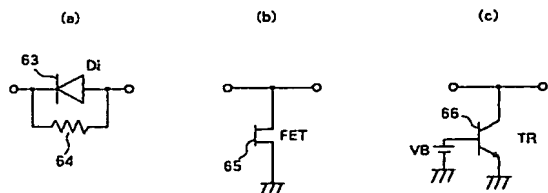
【図4】



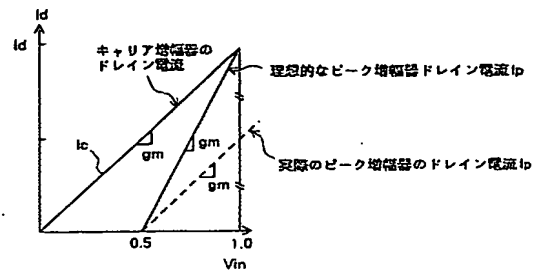
【図7】



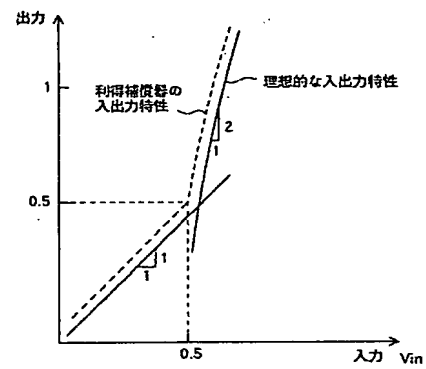
【図8】



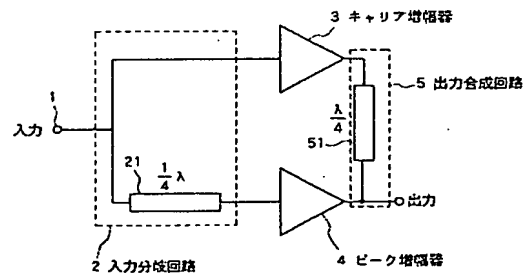
【図5】



【図6】



【図9】



フロントページの続き

(72)発明者 椎熊 一実

東京都港区芝五丁目7番1号 日本電気株式会社内

(72)発明者 溝口 順一

東京都港区芝浦三丁目18番21号 日本電気エンジニアリング株式会社内

Fターム(参考) 5J092 AA01 AA04 AA41 AA63 AA64 AA65 CA21 CA36 CA92 FA00

FA15 HA02 HA09 HA25 HA27 KA68 SA14 TA01 TA02

5J500 AA01 AA04 AA41 AA63 AA64 AA65 AC21 AC36 AC92 AF00

AF15 AH02 AH09 AH25 AH27 AK68 AS14 AT01 AT02